

SIGLA	:	<b>IEE3423</b>
CURSO (español e inglés)	:	<b>DISEÑO Y CARACTERIZACIÓN DE CIRCUITOS INTEGRADOS / IC DESIGN AND CHARACTERIZATION</b>
CARACTER	:	<b>OPR</b>
CREDITOS	:	<b>10</b>
REQUISITOS	:	IEE3433 DISEÑO DE CIRCUITOS INTEGRADOS ANALÓGICOS O IEE3753 DISEÑO DE CIRCUITOS INTEGRADOS DIGITALES
MODULOS DOCENTES	:	<b>02</b>
SEMESTRE(S)	:	I y II
VACANTES	:	20
DISCIPLINA	:	<b>INGENIERÍA</b>
PROFESOR	:	ANGEL ABUSLEME

## I. DESCRIPCION

Este curso está concebido para que el alumno aprenda, a través de su propia experiencia, los aspectos teóricos y prácticos en torno al diseño de un circuito integrado CMOS a nivel de layout, y los procedimientos de verificación y pruebas para la caracterización de circuitos integrados. Al final del curso, el alumno estará en condiciones de generar el layout de un circuito integrado analógico, digital o de señales mixtas a partir de un esquemático o de un código Verilog, verificar el diseño, seguir los pasos necesarios para su fabricación, y planificar y ejecutar un programa de pruebas para el circuito.

## II. OBJETIVOS

**Al finalizar el curso el alumno será capaz de:**

1. Valorar e identificar las prácticas de respeto a la propiedad intelectual, relacionadas a los acuerdos de confidencialidad y manejo de información sensible que rigen la práctica en la industria electrónica.
2. Establecer el criterio en torno a no-idealidades en el diseño de un circuito integrado, tales como emparejamiento y componentes parásitas.
3. Identificar y distinguir las principales especificaciones de interés en un circuito integrado.
4. Identificar y aplicar buenas prácticas de layout de circuitos integrados.
5. Identificar y aplicar los pasos de verificación necesarios antes de fabricar un circuito integrado.
6. Diseñar un circuito integrado analógico, de señales mixtas o digital.
7. Elaborar un diagrama de conexiones (bonding diagram) para especificar las conexiones entre el chip y el encapsulado.
8. Planificar y ejecutar un programa de pruebas que permita probar y caracterizar un circuito integrado.
9. Aplicar correctamente las herramientas de Electronic Design Automation (EDA) para el diseño de circuitos integrados analógicos y/o digitales.
10. Identificar y conocer los archivos de tecnología necesarios para producir un diseño en alguna tecnología particular.

## III. CONTENIDOS

1. Flujo de diseño de circuitos integrados
2. Layout de un circuito integrado
  - a. El proceso de hacer un layout
  - b. Componentes parásitas
  - c. Emparejamiento
  - d. Técnicas de layout
  - e. Encapsulado
3. Verificación
  - a. Chequeo de reglas de diseño (DRC)
  - b. Extracción del circuito

- c. Comparación entre layout y esquemático (LVS)
- d. Reglas de antena
- e. Simulaciones post-layout
- 4. El proceso de tape-out
  - a. Tipos de archivos
  - b. Preparación al envío para fabricación
- 5. Pruebas de un circuito integrado
  - a. Metodología
  - b. Diseño de un banco de pruebas
  - c. Diseño de una tarjeta (PCB) para el circuito

#### IV. METODOLOGIA

El curso debe ser desarrollado a lo largo de un año completo (con dedicación de cinco horas semanales durante ambos semestres), debido a que el proceso de fabricación de los circuitos integrados tarda un par de meses.

Durante el primer semestre habrá una serie de clases lectivas durante las cuales serán introducidos los contenidos del curso. Posteriormente los alumnos definirán el circuito, diseñarán y verificarán el layout, y enviarán el diseño al fabricante. Este trabajo corresponde a cinco créditos. Durante el período de fabricación, los alumnos trabajarán en el plan de pruebas y desarrollarán el testbench, incluyendo el circuito impreso.

Durante el segundo semestre, una vez fabricado el circuito integrado, los alumnos utilizarán su testbench para caracterizar el diseño y escribirán un informe final. Este trabajo corresponde a otros cinco créditos.

##### Proceso de diseño

El proceso de diseño involucra los siguientes pasos:

1. Definición del circuito a implementar. Puede ser un diseño de un curso anterior, o un diseño provisto por el profesor del curso. Para el caso de diseño analógico o de señales mixtas, los alumnos deben verificar la plausibilidad del diseño a nivel de transistores y generar un conjunto de especificaciones, obtenidas mediante análisis y simulaciones, que servirán como meta a lo largo del curso. Para el caso de diseños digitales, los alumnos deben realizar las simulaciones conducentes a verificar su funcionalidad lógica previo a la síntesis.
2. Diseño del layout del circuito. Implica aprender el uso del software de diseño de layout y emplearlo correctamente. En el caso de diseño analógico o de señales mixtas, los alumnos harán el layout a mano, mientras que en el caso de diseño digital, los alumnos emplearán además herramientas de síntesis.
3. Verificación del layout del circuito. Requiere que los alumnos comparen su diseño a nivel de layout con el diseño a nivel de transistores o compuertas lógicas y verifiquen la igualdad de nodos y componentes. Involucra además la verificación del cumplimiento de las reglas de diseño entregadas por el fabricante.
4. Generación de un archivo GDSII para la fabricación del circuito integrado, y especificación del diagrama de conexiones del chip en caso de ser necesarias.
5. Diseño y construcción de un circuito impreso para probar el circuito integrado.
6. Planificación y ejecución de un programa de pruebas para el circuito integrado.
7. Generación del informe final, consistente en una hoja de especificaciones para el chip, o de un paper que muestre los detalles de diseño y los resultados experimentales. El informe final debe estar escrito en inglés.

El financiamiento de la fabricación de los circuitos integrados será provista por MOSIS a través de su programa de educación (MOSIS Educational Program, o MEP). Los alumnos interesados en tomar el curso deben contactar al profesor para coordinar la postulación al financiamiento. El informe final de cada grupo debe ser enviado a MOSIS, para cumplir con el compromiso adquirido al aceptar el financiamiento.

## **V. EVALUACION**

El curso será evaluado a través de informes de avance y un informe final. El objetivo de los informes de avance es asegurar el cumplimiento de metas parciales, tales como la verificación del diseño, layout, verificación del layout, planificación de un programa de pruebas, etc. Los informes de avance tendrán una ponderación de un 70% en la nota final, mientras que el informe final corresponderá al 30% de la nota final.

### **Calificación del curso**

Los alumnos que inscriban el curso quedarán con nota incompleta (I) hasta completar el informe final.

## **VI. BIBLIOGRAFIA**

### **Complementaria**

Baker CMOS Circuit Design, Layout, and Simulation, 3rd Edition, 2010.

Saint y Saint IC Mask Design: Essential Layout Techniques, 2002.